

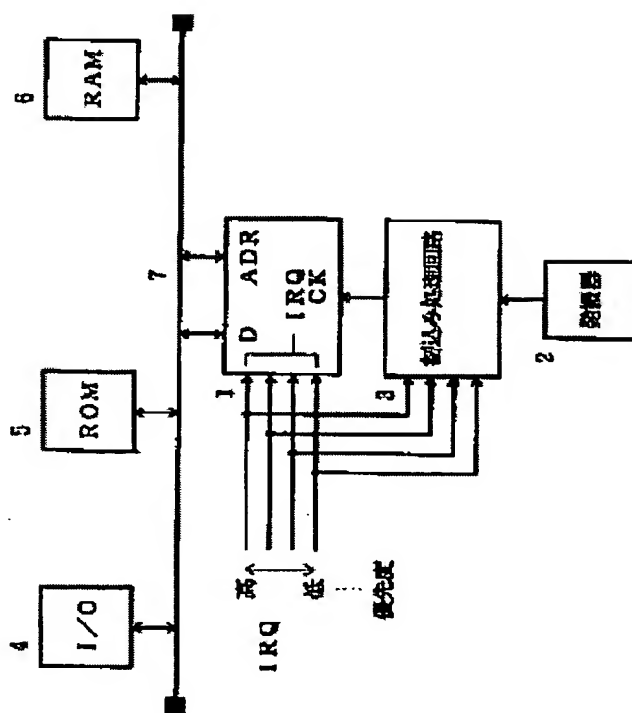
INTERRUPTION PROCESSING CIRCUIT

Patent number: JP2000311027
Publication date: 2000-11-07
Inventor: TSUNEMATSU TOSHINOBU; SHIWACHI SHINICHI
Applicant: FUJITSU LTD
Classification:
- **international:** G06F1/08; G06F1/04; G06F9/46
- **europaen:**
Application number: JP19990120011 19990427
Priority number(s):

Abstract of JP2000311027

PROBLEM TO BE SOLVED: To provide an interruption processing circuit to a central processing unit, which supplies the clock of lowest speed to the central processing unit at normal time and supplies a high speed clock to the central processing unit as the priority of interruption is higher when an interruption request is given.

SOLUTION: One high speed signal is selected as the priority of an interruption signal is higher and is supplied to a central processing unit 1 as a clock signal with an interruption signal supplied to the central processing unit from the outputs of an oscillator 2 and plural signals whose frequencies differ from those of the outputs of the oscillator and whose pulse widths are equal to those of the outputs of the oscillator. The speed of a clock supplied to the central processing unit 1 is varied by interruption priority. Thus, a processing is speeded up to a necessary degree in accordance with interruption priority and power consumption can be reduced at regular time.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-311027

(P 2 0 0 0 - 3 1 1 0 2 7 A)

(43) 公開日 平成12年11月7日(2000.11.7)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)		
G06F 1/08		G06F 1/04	320	A	5B079
1/04	301		301	C	5B098
9/46	320	9/46	320	Z	

審査請求 未請求 請求項の数 5 O L (全24頁)

(21) 出願番号	特願平11-120011	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成11年4月27日(1999.4.27)	(72) 発明者	恒松 寿宣 福岡県福岡市博多区博多駅前三丁目22番8号 富士通九州デジタル・テクノロジー株式会社内
		(74) 代理人	100072590 弁理士 井桁 貞一

最終頁に続く

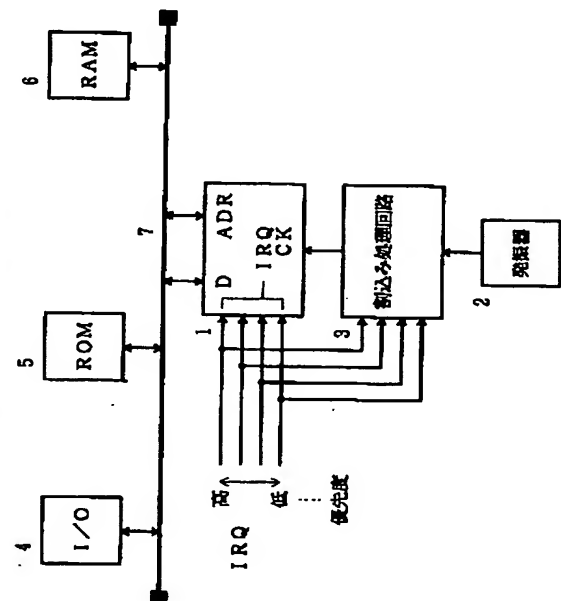
(54) 【発明の名称】 割込み処理回路

(57) 【要約】

【課題】 中央処理装置への割込み処理回路に関し、平常時には中央処理装置に最低速度のクロックを供給しており、割込み要求があった時には、割込みの優先度が高いほど中央処理装置に高速のクロックを供給する割込み処理回路を提供する。

【解決手段】 発振器の出力と、該発振器の出力から生成した周波数が該発振器の出力の周波数とは異なり、パルス幅が該発振器の出力のパルス幅に等しい複数の信号とから、中央処理装置に供給される割込み信号によって、該割込み信号の優先度が高いほど高速の信号を1つ選択して、該中央処理装置にクロック信号として供給する。

本発明の割込み処理方式の原理



【特許請求の範囲】

【請求項 1】 発振器の出力と、該発振器の出力から生成した周波数が該発振器の出力の周波数とは異なり、パルス幅が該発振器の出力のパルス幅に等しい複数の信号とから、中央処理装置に供給される割込み信号によって、該割込み信号の優先度が高いほど高速の信号を 1 つ選択して、該中央処理装置にクロック信号として供給することを特徴とする割込み処理回路。

【請求項 2】 発振器の出力と、該発振器の出力から生成した周波数が該発振器の出力の周波数とは異なり、パルス幅が該発振器の出力のパルス幅に等しい複数の信号とから、中央処理装置に供給される割込み信号に対応して該中央処理装置が指定するアドレスをデコードした信号によって、該割込み信号の優先度が高いほど高速の信号を 1 つ選択して、該中央処理装置にクロック信号として供給することを特徴とする割込み処理回路。

【請求項 3】 発振器の出力と、該発振器の出力から生成した周波数が該発振器の出力の周波数とは異なり、パルス幅が該発振器の出力のパルス幅に等しい複数の信号とから、中央処理装置に供給される割込み信号に対応して該中央処理装置が指定するデータによって、該割込み信号の優先度が高いほど高速の信号を 1 つ選択して、該中央処理装置にクロック信号として供給することを特徴とする割込み処理回路。

【請求項 4】 請求項 1 乃至請求項 3 のいずれかに記載の割込み処理回路であって、優先度が上位の割込み信号が上記中央処理装置に供給されている間は、時間的に重なって供給される下位の優先度の割込み信号を中央処理装置に供給することを停止し、優先度が上位の割込み信号に対する処理を終了した後に時間的に重なって供給された下位の優先度の割込み信号を該中央処理装置に供給することを特徴とする割込み処理回路。

【請求項 5】 請求項 1 乃至請求項 3 のいずれかに記載の割込み処理回路であって、中央処理装置に供給されている割込み信号に対応する速度のクロック信号を生成する回路のみを動作状態にして、該割込み信号の優先度が高いほど高速の信号を 1 つだけ生成して、該中央処理装置にクロック信号として供給することを特徴とする割込み処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、中央処理装置（通常、CPU と表記される。）への割込み処理回路に係

り、特に、平常時には中央処理装置に最低速度のクロックを供給しており、割込み要求があった時には、割込みの優先度が高いほど中央処理装置に高速のクロックを供給する割込み処理回路に関する。

【0002】 元来情報処理装置と呼ばれている装置を初めとして、通信装置、監視制御装置などあらゆる装置は中央処理装置を備えるようになっており、それらの装置の機能のかなりの部分を中央処理装置から出される指令、制御によって実現している。

【0003】 そして、それらの装置の機能は複雑化の一途を辿っており、更に、求められる処理能力も増加の一途を辿っており、それらの装置では高速化と大容量化が必須となるために消費電力も急速に増加している。従って、それらの装置に関して消費電力の低減と放熱対策を同時に進める必要がある。

【0004】 このうち消費電力を低減するために、平常時には中央処理装置に最低速度のクロックを供給しており、割込み要求があった時には、割込みの優先度が高いほど緊急の処理が求められるため、割込みの優先度が高いほど中央処理装置に高速のクロックを供給する割込み処理回路の実現が強く要請されている。

【0005】

【従来の技術】 図 14 は、従来の割込み処理方式の原理を示す図である。

【0006】 図 14 において、1a は中央処理装置、2 は該中央処理装置 1a のクロック源としての発振器、4 はキー・ボード、表示装置及びプリンタなどの入出力装置（図では I/O と表記している。以降においても同じ表記法を採用する。）、5 はプログラムや固定のデータを格納している読み出し専用メモリ（図では ROM と表記している。以降においても同じ表記法を採用する。）、6 はプログラムやデータを一次記憶するランダム・アクセス・メモリ（図では RAM と表記している。以降においても同じ表記法を採用する。）、7 は該中央処理装置 1a、入出力装置 4、読み出し専用メモリ 5 及びランダム・アクセス・メモリ 6 を収容してアドレスやデータのやりとりを行なうバスである。尚、該中央処理装置 1a のブロック中の“D”はデータ端子を意味し、“ADR”はアドレス端子を意味し、“CK”はクロック端子を意味し、“IRQ”は割込み要求端子を意味する。

【0007】 3a は割込み信号の有無によって該発振器 2 の出力を分周するかしないかの選択をして該中央処理装置 1a に供給するクロックの速度を切り換える分周部である。

【0008】 該中央処理装置 1a は、平常時には、低い消費電力で動作するのが望ましい。

【0009】 ところで、割込み信号はなんらかの事情によって該中央処理装置 1a で高速で処理する必要性が生ずると供給される。従って、割込み信号が供給された時

には該中央処理装置 1 a を高速で動作させる必要があり、該中央処理装置 1 a に高速のクロックを供給する必要がある。

【0010】図 14 の構成において該分周部 3 a は、平常時には該中央処理装置 1 a は該発振器 2 の出力を分周して速度を落としたクロックを該中央処理装置 1 a に供給し、該中央処理装置 1 a に割込み信号（図では割込み要求端子と同じく I R Q と標記している。）が供給される時には該発振器 2 の出力を該中央処理装置 1 a に供給する。

【0011】これによって、該中央処理装置 1 a は、平常時は低消費電力で動作し、割込み信号が供給された時には高速で割込み要求信号に対応した処理をすることができる。

【0012】

【発明が解決しようとする課題】しかし、従来の割込み処理方式においては、割込み優先度が異なる複数の割込み信号が供給される場合を考慮していない。従って、割込み優先度が異なる複数の割込み信号が供給される場合でも、割込み信号が供給されれば一定速度での処理を行なうしかなく、より一層の低消費電力化は不可能である。

【0013】

【課題を解決するための手段】中央処理装置には、割込み優先度が異なる複数の割込み信号が供給されることが多く、割込み優先度が低ければ比較的低速な処理が許容され、割込み優先度が高いほど高速な処理が要求される。

【0014】従って、割込み優先度によって中央処理装置に供給するクロックの速度を可変にすることによって、割込み優先度に対応して処理を必要な程度に高速化し、平常時には消費電力を低減することが可能になる。

【0015】図 1 は、本発明の割込み処理方式の原理を示す図で、上記の考え方に沿って中央処理装置に供給するクロックの速度を可変にするものである。

【0016】図 1 において、1 は中央処理装置、2 は該中央処理装置 1 のクロック源としての発振器、3 は割込み信号に応じて該発振器 2 の出力の分周比を可変にして該中央処理装置 1 に供給するクロックの速度を選択する割込み処理回路、4 はキー・ボード、表示装置及びプリンタなどの入出力装置、5 はプログラムや固定データを格納している読み出し専用メモリ、6 はプログラムやデータを一次記憶するランダム・アクセス・メモリ、7 は該中央処理装置 1、入出力装置 4、読み出し専用メモリ 5 及びランダム・アクセス・メモリ 6 を収容してアドレスやデータのやりとりを行なうバスである。

【0017】図 1 の構成における割込み処理回路 3 は、割込み優先度が異なる複数の割込み信号を全て独立に扱い、割込み優先度が高いほど高速のクロックを該中央処理装置 1 に供給し、割込み信号が供給されていない時即

ち平常時には最低速度のクロックを該中央処理装置 1 に供給する。

【0018】これによって、割込み優先度に応じた速度のクロックを該中央処理装置 1 に供給することが可能になり、図 14 の構成と図 1 の構成における最高速クロックと最低速クロックの速度が同じであるとすれば、割込み信号の有無によって高速クロックと低速クロックを選択する図 14 の従来の割込み処理方式に比較して、図 1 の本発明の割込み方式においては低消費電力で該中央処理装置 1 を動作させることが可能になる。

【0019】

【発明の実施の形態】図 2 は、本発明の第一の実施の形態で、4 つの割込み優先度に対応する割込み状態と 1 つの平常状態を想定した構成を示したものである。

【0020】図 2 において、1 は中央処理装置、2 は該中央処理装置 1 のクロック源としての発振器、3 は割込み信号に応じて該発振器 2 の出力の分周比を可変にして該中央処理装置 1 に供給するクロックの速度を選択する割込み処理回路、4 はキー・ボード、表示装置及びプリンタなどの入出力装置、5 はプログラムや固定データを格納している読み出し専用メモリ、6 はプログラムやデータを一次記憶するランダム・アクセス・メモリ、7 は該中央処理装置 1、入出力装置 4、読み出し専用メモリ 5 及びランダム・アクセス・メモリ 6 を収容してアドレスやデータのやりとりを行なうバスである。

【0021】そして、該割込み処理回路 3 は、1/2 分周回路 31-1（図では簡略な表示のために 1/2 とだけ標記している。以降も同様に標記する。）、1/4 分周回路 31-2（図では簡略な表示のために 1/4 とだけ標記している。以降も同様に標記する。）、1/8 分周回路 31-3（図では簡略な表示のために 1/8 とだけ標記している。以降も同様に標記する。）、1/16 分周回路 31-4（図では簡略な表示のために 1/16 とだけ標記している。以降も同様に標記する。）、論理積回路 32-1 乃至 32-4、一方の入力端子が非反転入力端子であり、もう一方の入力端子が反転入力端子である論理和回路 33-1 乃至 33-5、出力反転の論理和回路 34 及び論理積回路 35 によって構成される。

【0022】図 1 の構成では、該発振器 2 の出力を該論理和回路 33-1 の非反転入力端子、該論理積回路 32-1 の一方の入力端子、該 1/2 分周回路 31-1、該 1/4 分周回路 31-2、該 1/8 分周回路 31-3 及び該 1/16 分周回路 31-4 に供給し、該 1/2 分周回路 31-1 の出力を該論理積回路 32-1 のもう一方の入力端子に供給し、該論理積回路 32-1 の出力を該論理積回路 32-2 の一方の入力端子と該論理和回路 33-2 の非反転入力端子に供給し、該論理積回路 32-2 のもう一方の入力端子には該 1/4 分周回路 31-2 の出力を供給し、該論理積回路 32-2 の出力を該論理積回路 32-3 の一方の入力端子と該論理和回路 33-

3の非反転入力端子に供給し、該論理積回路32-3のもう一方の入力端子には該1/8分周回路31-3の出力を供給し、該論理積回路32-3の出力を該論理積回路32-4の一方の入力端子と該論理和回路33-4の非反転入力端子に供給し、該論理積回路32-4のもう一方の入力端子には該1/16分周回路31-4の出力を供給し、該論理積回路32-4の出力を該論理和回路33-5の非反転入力端子に供給し、該論理和回路33-1の反転入力端子には最高優先度の割込み信号IRQ1を供給し、該論理和回路33-2の反転入力端子には2番目の優先度の割込み信号IRQ2を供給し、該論理和回路33-3の反転入力端子には3番目の優先度の割込み信号IRQ3を供給し、該論理和回路33-4の反転入力端子には4番目の優先度の割込み信号IRQ4を供給し、該論理和回路34の入力端子に全ての優先度の割込み信号IRQ1乃至IRQ4を供給できるようにし、該論理和回路33-1乃至33-5の出力を該論理積回路35に供給し、該論理積回路35の出力を該中央処理装置1のクロック端子に供給する。

【0023】尚、1/2分周回路の構成とタイムチャートを図13に示す。

【0024】図13(イ)において、箱で示しているものはフリップ・フロップである。そして、該フリップ・フロップのクロック端子(CKと標記している。)にクロック信号(これも同じくCKと標記している。)を供給し、該フリップ・フロップの反転出力端子(XQと標記している。)からデータ端子(Dと標記している。)に帰還をかけ、該フリップ・フロップの非反転出力端子(Qと標記している。)から出力をとる。尚、該フリップ・フロップのリセット端子(Rと標記している。)にはパワー・オン・リセット信号(PORと標記している。)を供給する。

【0025】図13(イ)のフリップ・フロップはパワー・オン・リセット信号によって出力の論理レベルが初期化される。即ち、初期状態では反転出力端子の論理レベルは“1”になっている。

【0026】この状態でクロック信号が入力されるので、非反転出力端子の論理レベルが“1”に上がり、反転出力端子の論理レベルが“0”に下がり、データ端子の論理レベルも“0”に下がる。

【0027】しかし、この時にはクロックの立ち上がりが終了して平坦になっているためにデータ端子の論理レベル“0”を読むことができない。従って、非反転出力端子の論理レベルは“1”を保持する。

【0028】次のクロックの立ち上がりが入力されると、データ端子の論理レベル“0”を読むことができ、非反転出力端子の論理レベルが“0”に下がり、反転出力端子の論理レベルは“1”に上がり、データ端子の論理レベルも“1”に上がる。

【0029】しかし、この時にはクロックの立ち上がり

が終了して平坦になっているためにデータ端子の論理レベル“1”を読むことができない。従って、非反転出力端子の論理レベルは“0”を保持する。

【0030】上記の如き動作の繰り返しで、図13

(イ)の構成によって図13(ロ)のタイムチャートの如くクロック周波数を1/2に分周することができる。尚、上記説明においては、説明を簡単にするために、入力されるクロック信号と1/2分周された出力の位相差については無視している。

【0031】1/4分周回路、1/8分周回路、1/16分周回路は上記構成を縦続接続することで実現できる。

【0032】1/4分周回路についてだけ説明すると、上記1/2分周回路を2段縦続接続し、前段の1/2分周回路によってクロック周波数を1/2に分周し、該前段の1/2分周回路の出力を2段目の1/2分周回路のクロック端子に供給し、該2段目の1/2分周回路の出力端子から出力をとれば、上記動作を2回行なうことによってクロック周波数を1/4に分周することができる。

【0033】図3は、図2の構成のタイムチャートである。

【0034】以降、図2と図3を参照しながら図2の構成の動作について説明する。

【0035】図2の発振器2の出力に対して、上記の如き動作で分周を行なうので、図2の1/2分周回路、1/4分周回路、1/8分周回路及び1/16分周回路の出力は図3の“1/2分周回路の出力”、“1/4分周回路の出力”、“1/8分周回路の出力”及び“1/16分周回路の出力”に示す如くなる。

【0036】図2の構成において、該1/2分周回路31-1の出力と該発振器2の出力の論理積をとるので、図2の論理積回路32-1の出力は該発振器2の出力のパルスを1つおきにとった波形、即ち、該発振器2の出力の1/2の周波数で、パルス幅が該発振器2の出力のパルスと同じ波形になる。これを、図3の“論理積回路32-1の出力”に示す。

【0037】図2の構成において、該論理積回路32-1の出力と該1/4分周回路31-2の出力の論理積をとるので、図2の該論理積回路32-2の出力は該発振器2の出力のパルスを3つおきにとった波形、即ち、該発振器2の出力の1/4の周波数で、パルス幅が該発振器2の出力のパルスと同じ波形になる。これを、図3の“論理積回路32-2の出力”に示す。

【0038】図2の構成において、該論理積回路32-2の出力と該1/8分周回路31-3の出力の論理積をとるので、図2の論理積回路32-3の出力は該発振器2の出力のパルスを7つおきにとった波形、即ち、該発振器2の出力の1/8の周波数で、パルス幅が該発振器2の出力のパルスと同じ波形になる。これを、図3の

“論理積回路 32-3 の出力” に示す。

【0039】図 2 の構成において、該論理積回路 32-3 の出力と該 1/16 分周回路 31-4 の出力の論理積をとるので、図 2 の論理積回路 32-4 の出力は該発振器 2 の出力のパルスを 15 おきにとった波形、即ち、該発振器 2 の出力の 1/16 の周波数で、パルス幅が該発振器 2 の出力のパルスと同じ波形になる。これを、図 3 の“論理積回路 32-4 の出力” に示す。

【0040】該発振器 2 の出力が図 2 の該論理和回路 33-1 の非反転入力端子に供給され、該論理積回路 32-1 の出力が図 2 の論理和回路 33-2 の非反転入力端子に供給され、該論理積回路 32-2 の出力が図 2 の論理和回路 33-3 の非反転入力端子に供給され、該論理積回路 32-3 の出力が図 2 の論理和回路 33-4 の非反転入力端子に供給され、該論理和回路 33-1 乃至 33-4 の出力と該論理積回路 32-4 の出力が図 2 の論理積回路 35 に供給されている。

【0041】もし、割込み信号 IRQ1、IRQ2、IRQ3 及び IRQ4 が“0”の時（この時には割込み要求が供給されていない。）には、該論理和回路 33-1 乃至 33-4 の出力の論理レベルは全て“1”であるから、該発振器 2、該論理積回路 32-1 乃至 32-3 の出力はマスクされる。

【0042】この時、該論理和回路 34 の全ての入力端子には論理レベル“0”が供給されているので、該論理和回路 34 の出力の論理レベルは“1”となり、該論理和回路 33-5 の出力は該論理積回路 32-4 の出力に等しくなる。

【0043】従って、図 2 の中央処理装置 1 には、図 3 の“CPU の CK”における A の領域に示す如く、発振器の出力の 1/16 の周波数でパルス幅が発振器の出力におけるパルス幅と等しい波形がクロック信号として供給される。

【0044】次に、割込み信号 IRQ1、IRQ2、IRQ4 が“0”で、割込み信号 IRQ3 が“1”の時（この時には割込み信号 IRQ3 だけが供給されている。）には、該論理和回路 33-1、33-2、33-4 及び 33-5 の出力の論理レベルは“1”であるから、該論理積回路 35 の出力は該論理和回路 33-3 の出力に等しくなる。

【0045】該論理和回路 33-3 の反転入力端子には論理レベル“1”の割込み信号 IRQ3 が供給されているので、該論理和回路 33-3 の出力は上記論理積回路 32-2 の出力に等しくなる。

【0046】従って、図 2 の中央処理装置 1 には、図 3 の“CPU の CK”における B の領域に示す如く、発振器の出力の 1/4 の周波数でパルス幅が発振器の出力におけるパルス幅と等しい波形がクロック信号として供給される。

【0047】又、割込み信号 IRQ1、IRQ3、IRQ

Q4 が“0”で、割込み信号 IRQ2 が“1”の時（この時には割込み信号 IRQ2 だけが供給されている。）には、該論理和回路 33-1、33-3、33-4 及び 33-5 の出力の論理レベルは“1”であるから、該論理積回路 35 の出力は該論理和回路 33-2 の出力に等しくなる。

【0048】該論理和回路 33-2 の反転入力端子には論理レベル“1”の割込み信号 IRQ2 が供給されているので、該論理和回路 33-2 の出力は上記論理積回路 32-1 の出力に等しくなる。

【0049】従って、図 2 の中央処理装置 1 には、図 3 の“CPU の CK”における C の領域に示す如く、発振器の出力の 1/2 の周波数でパルス幅が発振器の出力におけるパルス幅と等しい波形がクロック信号として供給される。

【0050】更に、割込み信号 IRQ1、IRQ3、IRQ4 が“0”で、割込み信号 IRQ1 が“1”の時（この時には割込み信号 IRQ1 だけが供給されている。）には、該論理和回路 33-2、33-3、33-4 及び 33-5 の出力の論理レベルは“1”であるから、該論理積回路 35 の出力は該論理和回路 33-1 の出力に等しくなる。

【0051】該論理和回路 33-1 の反転入力端子には論理レベル“1”の割込み信号 IRQ1 が供給されているので、該論理和回路 33-1 の出力は上記発振器 2 の出力に等しくなる。

【0052】従って、図 2 の中央処理装置 1 には、図 3 の“CPU の CK”における D の領域に示す如く、発振器の出力に等しい波形がクロック信号として供給される。

【0053】上記の如く、図 2 の構成によって、最高優先度の割込み信号が供給される時には最高速度のクロック信号が中央処理装置 1 に供給され、優先度が下がるほど低い速度のクロック信号が該中央処理装置 1 に供給され、平常時には最低速度のクロック信号が該中央処理装置 1 に供給される。

【0054】これにより、図 2 の構成によれば、図 14 の構成と図 2 の構成における最高速クロックと最低速クロックの速度が各々同じだとすれば、割込み信号の有無によって高速クロックと低速クロックを選択する図 14 の従来の割込み処理方式に比較して、図 2 の構成においては低消費電力で該中央処理装置 1 を動作させることが可能になる。

【0055】ところで、図 2 の構成では 4 つの割込み状態と 1 つの平常状態の計 5 つの状態があることを前提にしているので、発振器の出力、発振器の出力の 1/2 の周波数で発振器出力と同じパルス幅の信号、発振器の出力の 1/4 の周波数で発振器出力と同じパルス幅の信号、発振器の出力の 1/8 の周波数で発振器出力と同じパルス幅の信号、発振器の出力の 1/16 の周波数で発

振器出力と同じパルス幅の信号の 5 種類のクロック信号を準備している。

【0056】このように 2 の巾乗分の 1 の周波数を適用する場合、一般に、 n を 2 以上の整数として $(n-1)$ の割込み状態と 1 つの平常状態の計 n の状態がある場合には、発振器の出力、発振器の出力の $1/2$ の周波数で発振器出力と同じパルス幅の信号、発振器の出力の $1/4$ の周波数で発振器出力と同じパルス幅の信号、 \dots 、発振器の出力の $1/2^{n-1}$ の周波数で発振器出力と同じパルス幅の信号の n 種類のクロック信号を準備すればよい。

【0057】ここに記載したことは、以降に記載する全ての発明の実施の形態においても同じである。

【0058】図 4 は、本発明の第二の実施の形態で、図 2 の構成と同様に、4 つの割込み優先度に対応する割込み状態と 1 つの平常状態を想定した構成を示したものである。

【0059】図 4 において、1 は中央処理装置、2 は該中央処理装置 1 のクロック源としての発振器、3 は割込み信号に応じて該発振器 2 の出力の分周比を可変にして該中央処理装置 1 に供給するクロックの速度を選択する割込み処理回路、4 はキー・ボード、表示装置及びプリンタなどの入出力装置、5 はプログラムや固定データを格納している読み出し専用メモリ、6 はプログラムやデータを一次記憶するランダム・アクセス・メモリ、7 は該中央処理装置 1、入出力装置 4、読み出し専用メモリ 5 及びランダム・アクセス・メモリ 6 を収容してアドレスやデータのやりとりを行なうバス、8 は該読み出し専用メモリ 5 のアドレスをデコードするアドレス・デコーダ（図では“アドレスデコーダ”と標記しているが同一のものである。）である。

【0060】そして、該割込み処理回路 3 は、 $1/2$ 分周回路 31-1、 $1/4$ 分周回路 31-2、 $1/8$ 分周回路 31-3、 $1/16$ 分周回路 31-4、論理積回路 32-1 乃至 32-4、一方の入力端子に非反転入力端子を使い、もう一方の入力端子に反転入力端子を使う論理和回路 33-1 乃至 33-5、出力反転の論理和回路 34 及び論理積回路 35 によって構成される。

【0061】図 4 の構成では、割込み信号が供給されると該中央処理装置 1 は該読み出し専用メモリ 5 の特定のアドレスを指定するようにしておく。これは、プログラムをこのように組むことによって実現されることで、当業者には容易に実施できる技術である。そして、該アドレス・デコーダは該バス 7 上のアドレスを常時監視しており、割込み信号に対応する特定のアドレスを検出した時に割込み信号が供給されたことを示す論理レベルを出力する。

【0062】この論理レベルを“1”とし、同一の割込み信号が供給され続けている間は論理レベル“1”を継続するように該アドレス・デコーダ 8 を設定しておくこ

とによって、割込み信号と同等の信号を得ることができる。

【0063】上記のことを考慮すれば、図 4 の構成は、該発振器 2 の出力を該論理和回路 33-1 の非反転入力端子、該論理積回路 32-1 の一方の入力端子、該 $1/2$ 分周回路 31-1、該 $1/4$ 分周回路 31-2、該 $1/8$ 分周回路 31-3 及び該 $1/16$ 分周回路 31-4 に供給し、該 $1/2$ 分周回路 31-1 の出力を該論理積回路 32-1 のもう一方の入力端子に供給し、該論理積回路 32-1 の出力を該論理積回路 32-2 の一方の入力端子と該論理和回路 33-2 の非反転入力端子に供給し、該論理積回路 32-2 のもう一方の入力端子には該 $1/4$ 分周回路 31-2 の出力を供給し、該論理積回路 32-2 の出力を該論理積回路 32-3 の一方の入力端子と該論理和回路 33-3 の非反転入力端子に供給し、該論理積回路 32-3 のもう一方の入力端子には該 $1/8$ 分周回路 31-3 の出力を供給し、該論理積回路 32-3 の出力を該論理積回路 32-4 の一方の入力端子と該論理和回路 33-4 の非反転入力端子に供給し、該論理積回路 32-4 のもう一方の入力端子には該 $1/16$ 分周回路 31-4 の出力を供給し、該論理積回路 32-4 の出力を該論理和回路 33-5 の非反転入力端子に供給し、該論理和回路 33-1 の反転入力端子には最高優先度の割込み信号 IRQ1 に対応するアドレス・デコード信号を供給し、該論理和回路 33-2 の反転入力端子には 2 番目の優先度の割込み信号 IRQ2 に対応するアドレス・デコード信号を供給し、該論理和回路 33-3 の反転入力端子には 3 番目の優先度の割込み信号 IRQ3 に対応するアドレス・デコード信号を供給し、該論理和回路 33-4 の反転入力端子には 5 番目の優先度の割込み信号 IRQ4 に対応するアドレス・デコード信号を供給し、該論理和回路 34 の入力端子に全ての割込み信号に対応するアドレス・デコード信号を供給し、該論理和回路 34 の出力を該論理積回路 33-5 の反転入力端子に供給し、該論理和回路 33-1 乃至 33-5 の出力を該論理積回路 35 に供給し、該論理積回路 35 の出力を該中央処理装置 1 のクロック端子に供給するようになっていることが判る。

【0064】図 5 は、図 4 の構成のタイムチャートである。

【0065】上記の如く、各々の割込み信号に対応するアドレス・デコード信号は各々の割込み信号と同じになるので、図 4 の構成の動作は図 2 の構成の動作と全く同じになる。従って、図 5 のタイムチャートによる図 4 の構成の動作の説明は省略する。

【0066】又、図 4 の構成によって得られる効果も図 2 の構成によって得られる効果と同じである。

【0067】図 6 は、本発明の第三の実施の形態で、これまでに示した発明の実施の形態の構成と同様に、4 つの割込み優先度に対応する割込み状態と 1 つの平常状態

を想定した構成を示したものである。

【0068】図6において、1は中央処理装置、2は該中央処理装置1のクロック源としての発振器、3は割込み信号に応じて該発振器2の出力の分周比を可変にして該中央処理装置1に供給するクロックの速度を選択する割込み処理回路、4はキー・ボード、表示装置及びプリンタなどの入出力装置、5はプログラムや固定データを格納している読み出し専用メモリ、6はプログラムやデータを一次記憶するランダム・アクセス・メモリ、7は該中央処理装置1、入出力装置4、読み出し専用メモリ5及びランダム・アクセス・メモリ6を収容してアドレスやデータのやりとりを行なうバス、9は該読み出し専用メモリ5から読み出されるデータを割込み信号によって選択するバス・スイッチ（図ではバスSWと標記している。）である。

【0069】そして、該割込み処理回路3は、1/2分周回路31-1、1/4分周回路31-2、1/8分周回路31-3、1/16分周回路31-4、論理積回路32-1乃至32-4、一方の入力端子に非反転入力端子を使い、もう一方の入力端子に反転入力端子を使う論理和回路33-1乃至33-5、出力反転の論理和回路34及び論理積回路35によって構成される。

【0070】図6の構成では、割込み信号が供給されると該中央処理装置1は該読み出し専用メモリ5の特定のアドレスを指定して、そのアドレスに格納されている特定のデータを読み出すようにしておく。これは、プログラムをこのように組むことによって実現されることで、当業者には容易に実施できる技術である。そして、該バス・スイッチ9は割込み信号によって制御されて割込み信号に対応する特定のデータを検出した時に割込み信号が供給されたことを示す論理レベルを出力する。

【0071】この論理レベルを“1”とし、同一の割込み信号が供給され続けている間は論理レベル“1”を継続するように該読み出し専用メモリ5のデータと該バス・スイッチ9を設定しておくことによって、割込み信号と同等の信号を得ることができる。

【0072】上記のことを考慮すれば、図6の構成は、該発振器2の出力を該論理和回路33-1の非反転入力端子、該論理積回路32-1の一方の入力端子、該1/2分周回路31-1、該1/4分周回路31-2、該1/8分周回路31-3及び該1/16分周回路31-4に供給し、該1/2分周回路31-1の出力を該論理積回路32-1のもう一方の入力端子に供給し、該論理積回路32-1の出力を該論理積回路32-2の一方の入力端子と該論理和回路33-2の非反転入力端子に供給し、該論理積回路32-2のもう一方の入力端子には該1/4分周回路31-2の出力を供給し、該論理積回路32-2の出力を該論理積回路32-3の一方の入力端子と該論理和回路33-3の非反転入力端子に供給し、該論理積回路32-3のもう一方の入力端子には該1/

8分周回路31-3の出力を供給し、該論理積回路32-3の出力を該論理積回路32-4の一方の入力端子と該論理和回路33-4の非反転入力端子に供給し、該論理積回路32-4のもう一方の入力端子には該1/16分周回路31-4の出力を供給し、該論理積回路32-4の出力を該論理和回路33-5の非反転入力端子に供給し、該論理和回路33-1の反転入力端子には最高優先度の割込み信号IRQ1に対応するデータを供給し、該論理和回路33-2の反転入力端子には2番目の優先度の割込み信号IRQ2に対応するデータを供給し、該論理和回路33-3の反転入力端子には3番目の優先度の割込み信号IRQ3に対応するデータを供給し、該論理和回路33-4の反転入力端子には5番目の優先度の割込み信号IRQ4に対応するデータを供給し、該論理和回路34の入力端子に全ての割込み信号に対応するデータを供給し、該論理和回路34の出力を該論理積回路33-5の反転入力端子に供給し、該論理和回路33-1乃至33-5の出力を該論理積回路35に供給し、該論理積回路35の出力を該中央処理装置1のクロック端子に供給するようになっていることが判る。

【0073】上記の如く、各々の割込み信号に対応するデータは各々の割込み信号と同じになるので、図6の構成の動作は図2又は図4の構成の動作と全く同じになる。従って、図6の構成の動作の説明は省略する。

【0074】又、図6の構成によって得られる効果も図2又は図4の構成によって得られる効果と同じである。

【0075】図7は、本発明の第四の実施の形態で、これまで示した発明の実施の形態と同じく、4つの割込み状態と1つの平常状態の計5つの状態を想定した構成を示している。

【0076】図7において、1は中央処理装置、2は該中央処理装置1のクロック源としての発振器、3は割込み信号に応じて該発振器2の出力の分周比を可変にして該中央処理装置1に供給するクロックの速度を選択する割込み処理回路、4はキー・ボード、表示装置及びプリンタなどの入出力装置、5はプログラムや固定データを格納している読み出し専用メモリ、6はプログラムやデータを一次記憶するランダム・アクセス・メモリ、7は該中央処理装置1、入出力装置4、読み出し専用メモリ5及びランダム・アクセス・メモリ6を収容してアドレスやデータのやりとりを行なうバスである。

【0077】そして、該割込み処理回路3は、1/2分周回路31-1、1/4分周回路31-2、1/8分周回路31-3、1/16分周回路31-4、論理積回路32-1乃至32-5、出力反転の論理和回路34、微分回路36-1乃至36-4、カウンタ37-1乃至37-4及び論理和回路38によって構成される。

【0078】尚、各々の微分回路は微分機能と微分パルスに所要の位相シフトを与える位相シフト機能を併せ持つものであることを付言しておく。

【0079】図7の構成では、該発振器2の出力を該論理積回路32-1乃至32-5の一方の入力端子及び該カウンタ37-1乃至37-4のクロック端子に供給し、最高優先度の割込み信号IRQ1を該論理積回路32-1のもう一方の入力端子に供給し、2番目の優先度の割込み信号IRQ2を該論理積回路32-2のもう一方の入力端子に供給し、3番目の優先度の割込み信号IRQ3を該論理積回路32-3のもう一方の入力端子に供給し、4番目の優先度の割込み信号IRQ4を該論理積回路32-4のもう一方の入力端子に供給し、全ての割込み信号を該論理和回路34の入力端子に供給し、該論理和回路34の出力を該論理積回路32-5のもう一方の入力端子に供給し、該論理積回路32-2乃至32-5の出力を、各々、該1/2分周回路31-1、該1/4分周回路31-2、該1/8分周回路31-3及び該1/16分周回路31-4に供給し、該1/2分周回路31-1の出力を該微分回路36-1及び該カウンタ37-1のイネーブル端子（図ではEと標記している。以降も同様に標記する。）に供給し、該1/4分周回路31-2の出力を該微分回路36-2及び該カウンタ37-2のイネーブル端子に供給し、該1/8分周回路31-3の出力を該微分回路36-3及び該カウンタ37-3のイネーブル端子に供給し、該1/16分周回路31-4の出力を該微分回路36-4及び該カウンタ37-4のイネーブル端子に供給し、該微分回路36-1乃至36-4の出力を各々、該カウンタ37-1、37-2、37-3及び37-4のロード端子（図ではLと標記している。）に供給し、該カウンタ37-1乃至37-4のデータ端子（図ではDと標記している。）には所定のカウンタ初期値を設定し、該論理積回路32-1の出力及び該カウンタ37-1乃至37-4のキャリー出力（図ではCOと標記している。）を該論理和回路38に供給し、該論理和回路38の出力を該中央処理装置1のクロック端子に供給する。

【0080】図7の構成では、割込み信号を該論理積回路32-1乃至32-4に供給し、いずれかの割込み信号が供給されていることを検出する該論理和回路34の出力が該論理積回路32-5に供給されているので、いずれかの割込み信号が供給されている時には該論理積回路32-1乃至32-5のうち当該割込み信号を受けている論理積回路だけが該発振器2の出力を出力することができ、それ以外の論理積回路は“0”を出力する。

【0081】従って、図7の構成では5つの状態のうち当該割込み信号に対応するクロックを出力する回路だけが動作する。例えば、最高優先度の割込み信号IRQ1が供給されている時には、該論理積回路32-1だけが動作し、該発振器2の出力が該中央処理装置1にクロック信号として供給され、2番目の優先度の割込み信号IRQ2が供給されている時には、論理積回路では該論理積回路32-2だけが動作し、以降の分周回路、微分回

路及びカウンタでは該1/2分周回路31-1、該微分回路36-1及び該カウンタ37-1だけが動作し、該カウンタ37-1の出力が該中央処理装置1にクロック信号として供給される。これは、他の優先度の時も同じである。

【0082】つまり、図7の構成の特徴は、供給されている割込み信号に対応する速度のクロック信号を生成する回路だけが動作する点にある。

【0083】図8は、図7の構成のタイムチャートである。以降、図8を参照しながら図7の各々のカウンタに設定されるカウンタ初期値の設定法と図7の構成の動作を説明する。

【0084】まず、いずれの割込み信号も供給されていない時には、図7の論理積回路32-5だけが発振器2の出力を出力する。これが図7の1/16分周回路31-4で1/16分周されるので、該1/16分周回路31-4は図8の1/16分周回路の出力に示される信号を出力する。該1/16分周回路31-4の出力が図7のカウンタ37-4のイネーブル端子に供給されるので、該カウンタ37-4は該1/16分周回路31-4の出力の論理レベル“1”の期間だけカウンタ可能になる。

【0085】一方、該1/16分周回路31-4の出力の立ち上がりを微分して位相シフトされたパルスが該カウンタ37-4のロード端子に供給され、該カウンタ37-4のクロック端子に該発振器2の出力が供給されているので、該カウンタ37-4はデータ端子に与えられている値をカウンタ初期値としてカウンタを開始する。

【0086】ところで、該1/16分周回路31-4の出力の論理レベル“1”の期間では該発振器2の出力によって8回のカウンタをすることができる。

【0087】従って、該カウンタ37-4をカウンタ値0から7の3ビットのカウンタとし、カウンタ初期値を0とすれば、8回目のカウンタをして見かけ上のカウンタ値が8になった時にキャリー出力が生ずる。

【0088】この動作を、該1/16分周回路31-4の出力の論理レベル“1”の期間で繰り返すので、該カウンタ37-4の出力は該発振器2の出力周波数の1/16の周波数で、パルス幅が該発振器2の出力のパルス幅と等しい波形になり、この波形が該中央処理装置1にクロック信号として供給される。これが、図8の“CPUのCK”のAで示した領域に図示されている。

【0089】次に、割込み信号IRQ3が供給されている時には、図7の論理積回路32-3だけが発振器2の出力を出力する。これが図7の1/4分周回路31-2で1/4分周されるので、該1/4分周回路31-2は図8の1/4分周回路の出力に示される信号を出力する。該1/4分周回路31-2の出力が図7のカウンタ37-2のイネーブル端子に供給されるので、該カウンタ37-2は該1/4分周回路31-2の出力の論理レ

ベル“1”の期間だけカウント可能になる。

【0090】一方、該1/4分周回路31-2の出力の立ち上がりを微分して位相シフトされたパルスが該カウンタ37-2のロード端子に供給され、該カウンタ37-2のクロック端子に該発振器2の出力が供給されているので、該カウンタ37-2はデータ端子に与えられている値をカウント初期値としてカウントを開始する。

【0091】ところで、該1/4分周回路31-2の出力の論理レベル“1”の期間では該発振器2の出力によって2回のカウントをすることができる。

【0092】従って、該カウンタ37-2をカウント値0から7の3ビットのカウンタとし、カウント初期値を7とすれば、2回目のカウントをして見かけ上のカウント値が8になった時にキャリー出力が生ずる。

【0093】この動作を、該1/4分周回路31-2の出力の論理レベル“1”の期間で繰り返すので、該カウンタ37-2の出力は該発振器2の出力周波数の1/4の周波数で、パルス幅が該発振器2の出力のパルス幅と等しい波形になり、この波形が該中央処理装置1にクロック信号として供給される。これが、図8の“CPUのCK”のBで示した領域に図示されている。

【0094】更に、割込み信号IRQ2が供給されている時には、図7の論理積回路32-2だけが発振器2の出力を出力する。これが図7の1/2分周回路31-1で1/2分周されるので、該1/2分周回路31-1は図8の1/2分周回路の出力に示される信号を出力する。該1/2分周回路31-1の出力が図7のカウンタ37-1のイネーブル端子に供給されるので、該カウンタ37-1は該1/2分周回路31-1の出力の論理レベル“1”の期間だけカウント可能になる。

【0095】一方、該1/2分周回路31-1の出力の立ち上がりを微分して位相シフトされたパルスが該カウンタ37-1のロード端子に供給され、該カウンタ37-1のクロック端子に該発振器2の出力が供給されているので、該カウンタ37-1はデータ端子に与えられている値をカウント初期値としてカウントを開始する。

【0096】ところで、該1/2分周回路31-1の出力の論理レベル“1”の期間では該発振器2の出力によって1回のカウントをすることができるだけである。

【0097】従って、該カウンタ37-1をカウント値0から7の3ビットのカウンタとし、カウント初期値を8とすれば、1回目のカウントで見かけ上のカウント値が8になってキャリー出力が生ずる。

【0098】この動作を、該1/2分周回路31-1の出力の論理レベル“1”の期間で繰り返すので、該カウンタ37-1の出力は該発振器2の出力周波数の1/1の周波数で、パルス幅が該発振器2の出力のパルス幅と等しい波形になり、この波形が該中央処理装置1にクロック信号として供給される。これが、図8の“CPUのCK”のCで示した領域に図示されている。

【0099】最後に、割込み信号IRQ1が供給されている時には、図7の論理積回路32-1だけが発振器2の出力を出力し、他の論理積回路32-2乃至32-5は論理レベル“0”を出力する。

【0100】従って、該論理和回路38には該論理積回路32-1の出力、即ち、該発振器2の出力が供給され、これが該中央処理装置1のクロック信号として供給される。これが、図8の“CPUのCK”における領域Dに示されている。

10 【0101】図7の構成の特徴は、供給されている割込み信号に対応する速度のクロック信号を生成する回路だけが動作する点にあることは既に説明したが、もう一つの特徴がある。

【0102】即ち、図2、図4及び図6の構成が割込み信号に対応するクロックを全て生成した後に必要なクロックを選択する回路であるのに対して、図6の構成では割込み信号によって生成すべきクロックを先に選択し、その後に必要なクロックのみを生成している点にある。

20 【0103】そして、上記技術は図2、図4及び図6の構成全てに適用できるものである。

【0104】又、図7の構成において該カウンタ37-1乃至37-4は該微分回路36-1乃至36-4が出力する微分パルスを位相シフトするためだけに使用されている。従って、該カウンタ37-1乃至37-4の代わりに、該微分回路36-1乃至36-4が出力する微分パルスをシフト・レジスタによって位相シフトしてもよい。

30 【0105】図9は、本発明の第五の実施の形態で、これまで示した発明の実施の形態と同じく、4つの割込み状態と1つの平常状態の計5つの状態を想定した構成を示している。

【0106】図9において、1は中央処理装置、2は該中央処理装置1のクロック源としての発振器、3は割込み信号に応じて該発振器2の出力の分周比を可変にして該中央処理装置1に供給するクロックの速度を選択する割込み処理回路、4はキー・ボード、表示装置及びプリンタなどの入出力装置、5はプログラムや固定データを格納している読み出し専用メモリ、6はプログラムやデータを一次記憶するランダム・アクセス・メモリ、7は該中央処理装置1、入出力装置4、読み出し専用メモリ5及びランダム・アクセス・メモリ6を収容してアドレスやデータのやりとりを行なうバスである。

50 【0107】そして、該割込み処理回路3は、1/2分周回路31-1、1/4分周回路31-2、1/8分周回路31-3、1/16分周回路31-4、論理積回路32-1乃至32-4、一方の入力端子が反転入力端子である論理和回路33-1乃至33-5、出力反転の論理和回路34、論理積回路35、J-kフリップ・フロップ39-1乃至39-3、一方の入力端子が反転入力端子である論理積回路30-1乃至30-6によって構

成される。

【0108】図9の構成では、最高優先度の割込み信号 I R Q 1 は該中央処理装置の割込み信号端子と該論理積回路 30-1、30-2 及び 30-3 の反転入力端子に供給され、2 番目の優先度の割込み信号 I R Q 2 は該 J-K フリップ・フロップ 39-1 の J 端子に供給され、3 番目の優先度の割込み信号 I R Q 3 は該 J-K フリップ・フロップ 39-2 の J 端子に供給され、4 番目の優先度の割込み信号 I R Q 4 は該 J-K フリップ・フロップ 39-3 の J 端子に供給され、該 J-K フリップ・フロップ 39-1 の K 端子には I R Q 2 の完了信号が供給され、該 J-K フリップ・フロップ 39-2 の K 端子には I R Q 3 の完了信号が供給され、該 J-K フリップ・フロップ 39-3 の K 端子には I R Q 4 の完了信号 (I R Q 2 乃至 I R Q 4 の完了信号を出力する端子は I / D と標記されている。) が供給され、該 J-K フリップ・フロップ 39-1 の出力は該論理積回路 30-1 の非反転入力端子に供給され、該 J-K フリップ・フロップ 39-2 の出力は該論理積回路 30-2 の非反転入力端子に供給され、該 J-K フリップ・フロップ 39-3 の出力は該論理積回路 30-3 の非反転入力端子に供給され、該論理積回路 30-1 の出力は該中央処理装置 1 に割込み信号として供給されると共に該論理積回路 30-4 及び 30-5 の反転入力端子に供給され、該論理積回路 30-2 及び 30-3 の出力は各々該論理積回路 30-4 及び 30-5 の非反転入力端子に供給され、該論理積回路 30-4 の出力は該中央処理装置 1 に割込み信号として供給されると共に該論理積回路 30-6 の反転入力端子に供給され、該論理積回路 30-5 の出力は該論理積回路 30-6 の非反転入力端子に供給され、該論理積回路 30-6 の出力は該中央処理装置 1 に割込み信号として供給される。

【0109】一方、該発振器 2、該論理積回路 32-1 乃至 32-4、該論理和回路 33-1 乃至 33-5、該論理和回路 34 及び該論理積回路 35 の接続関係は図 2 の構成と全く同じである。そして、割込み信号 I R Q 1 が該論理和回路 33-1 の反転入力端子に供給され、該論理積回路 30-1 の出力が該論理和回路 33-2 の反転入力端子に供給され、該論理積回路 30-4 の出力が該論理和回路 33-3 の反転入力端子に供給され、該論理積回路 30-6 の出力が該論理和回路 33-4 の反転入力端子に供給され、割込み信号 I R Q 1 と該論理積回路 30-1 の出力と該論理積回路 30-4 の出力と該論理積回路 30-6 の出力が該論理和回路 34 に供給される。

【0110】図 10 は、図 9 の構成のタイムチャートである。以降、図 9 を参照しながら図 10 によって図 9 の構成の動作を、J-K フリップ・フロップ 39-1 乃至 39-3 及び論理積回路 30-1 乃至 30-6 の部分の動作を中心に説明する。

【0111】今、最高優先度の割込み信号 I R Q 1 が供給されている間に 2 番目の優先度の割込み信号 I R Q 2 が供給されたものとする。

【0112】割込み信号 I R Q 1 は図 9 の論理積回路 30-1 乃至 30-3 の反転入力端子に供給されているので、割込み信号 I R Q 1 が供給されている間は他の割込み信号は無視されて、割込み信号 I R Q 1 が図 9 の中央処理装置 1 の割込み信号端子に供給され、同時に図 9 の論理和回路 33-1 の反転入力端子に供給される。

【0113】従って、この時には該中央処理装置 1 に供給されるクロック信号は図 9 の発振器 2 の出力信号となる。

【0114】そして、割込み信号 I R Q 1 が供給されている間に割込み信号 I R Q 2 が供給されると、図 9 の該 J-K フリップ・フロップ 39-1 の出力は直ちに論理レベル “1” にセットされるが、該 J-K フリップ・フロップ 39-1 の出力は該論理積回路 30-1 によってマスクされて該中央処理装置の割込み信号端子には供給されない。

【0115】次いで、割込み信号 I R Q 1 が消失すると該 J-K フリップ・フロップ 39-1 の出力は該論理積回路 30-1 を通過して該中央処理装置の割込み信号端子には供給される。そして、割込み信号 I R Q 2 の完了信号が該 J-K フリップ・フロップ 39-1 の K 端子に供給されると該 J-K フリップ・フロップ 39-1 の出力の論理レベルは “0” に戻る。

【0116】従って、割込み信号 I R Q 2 は割込み信号 I R Q 1 が供給されている間だけ待ち合わせをさせられ、割込み信号 I R Q 1 が消失すると該中央処理装置の割込み信号端子と該論理和回路 33-2 の反転入力端子に供給される。

【0117】従って、この時には該中央処理装置 1 に供給されるクロック信号は該論理積回路 33-2 の出力信号となる。

【0118】ここでは、割込み信号 I R Q 1 が供給されている間に割込み信号 I R Q 2 が供給される場合で説明したが、優先度の高い割込み信号が供給されている間に優先度が低い割込み信号が供給される場合は全て上記と同じ動作が実現される。

【0119】尚、図 9 の構成では J-K フリップ・フロップを使用して、各々の J-K フリップ・フロップの J 端子に割込み信号を供給し、K 端子に当該割込み信号の完了信号を供給する構成を示しているが、J-K フリップ・フロップを次の構成に置換することも可能である。

【0120】即ち、割込み信号と当該割込み信号の完了信号の論理和演算をする論理和回路と該論理和回路の出力を受ける T フリップ・フロップに置換しても同じ動作を実現することができる。

【0121】図 11 は、本発明の第一の実施の形態の変形 (その 1) である。

【0122】図11において、1は中央処理装置、2は該中央処理装置1のクロック源としての発振器、3は割込み信号に応じて該発振器2の出力の分周比を可変にして該中央処理装置1に供給するクロックの速度を選択する割込み処理回路、4はキー・ボード、表示装置及びプリンタなどの入出力装置、5はプログラムや固定データを格納している読み出し専用メモリ、6はプログラムやデータを一次記憶するランダム・アクセス・メモリ、7は該中央処理装置1、入出力装置4、読み出し専用メモリ5及びランダム・アクセス・メモリ6を収容してアドレスやデータのやりとりを行なうバスである。

【0123】そして、該割込み処理回路3は、1/2分周回路31-1、1/4分周回路31-2、1/8分周回路31-3、1/16分周回路31-4、論理積回路32-1乃至32-8、論理和回路38によって構成される。

【0124】図11の構成では、該発振器2の出力を該論理積回路32-5の一方の端子、該論理積回路32-1の一方の入力端子、該1/2分周回路31-1、該1/4分周回路31-2、該1/8分周回路31-3及び該1/16分周回路31-4に供給し、該1/2分周回路31-1の出力を該論理積回路32-1のもう一方の入力端子に供給し、該論理積回路32-1の出力を該論理積回路32-2の一方の入力端子と該論理積回路32-6の一方の入力端子に供給し、該論理積回路32-2のもう一方の入力端子には該1/4分周回路31-2の出力を供給し、該論理積回路32-2の出力を該論理積回路32-3の一方の入力端子と該論理積回路32-7の一方の入力端子に供給し、該論理積回路32-3のもう一方の入力端子には該1/8分周回路31-3の出力を供給し、該論理積回路32-3の出力を該論理積回路32-4の一方の入力端子と該論理積回路32-8の一方の入力端子に供給し、該論理積回路32-4のもう一方の入力端子には該1/16分周回路31-4の出力を供給し、該論理積回路32-4の出力を該論理和回路38に供給し、該論理積回路32-5のもう一方の入力端子には最高優先度の割込み信号IRQ1を供給し、該論理積回路32-6のもう一方の入力端子には2番目の優先度の割込み信号IRQ2を供給し、該論理積回路32-7のもう一方の入力端子には3番目の優先度の割込み信号IRQ3を供給し、該論理積回路32-8のもう一方の入力端子には4番目の優先度の割込み信号IRQ4を供給し、該論理積回路32-5乃至32-8の出力を該論理和回路38に供給し、該論理和回路38の出力を該中央処理装置1のクロック端子に供給する。

【0125】図11の構成は、図2の構成における論理和回路33-1乃至33-5、論理和回路34及び論理積回路35よりなる回路を、論理積回路33-5乃至33-8及び論理和回路38よりなる回路に置換したもので、図11における論理積回路33-5乃至33-8及

び論理和回路38よりなる回路と図2の構成における論理和回路33-1乃至33-5、論理和回路34及び論理積回路35よりなる回路の動作が同じであることは容易に理解できるので、これ以上の説明は割愛したい。

【0126】そして、図11の構成によれば、分周比を選択する回路の論理が若干簡略化できる。

【0127】尚、図11の構成の論理積回路33-5乃至33-8及び論理和回路38よりなる回路を図4、図6及び図9の構成に適用できることはいうまでもない。

【0128】図12は、本発明の第一の実施の形態の変形(その2)である。

【0129】図12において、1は中央処理装置、2は該中央処理装置1のクロック源としての発振器、3は割込み信号に応じて該発振器2の出力の分周比を可変にして該中央処理装置1に供給するクロックの速度を選択する割込み処理回路、4はキー・ボード、表示装置及びプリンタなどの入出力装置、5はプログラムや固定データを格納している読み出し専用メモリ、6はプログラムやデータを一次記憶するランダム・アクセス・メモリ、7は該中央処理装置1、入出力装置4、読み出し専用メモリ5及びランダム・アクセス・メモリ6を収容してアドレスやデータのやりとりを行なうバスである。

【0130】そして、該割込み処理回路3は、1/2分周回路31-1、31-5、31-6及び31-7、論理積回路32-1乃至32-4、一方の入力端子に非反転入力端子を使い、もう一方の入力端子に反転入力端子を使う論理和回路33-1乃至33-5、出力反転の論理和回路34及び論理積回路35によって構成される。

【0131】図12の構成では、該発振器2の出力を該論理和回路33-1の非反転入力端子、該論理積回路32-1の一方の入力端子、該1/2分周回路31-1に供給し、該1/2分周回路31-1の出力を該論理積回路32-1のもう一方の入力端子に供給し、該論理積回路32-1の出力を該論理積回路32-2の一方の入力端子と該論理和回路33-2の非反転入力端子に供給し、該1/2分周回路31-1の出力を該1/2分周回路31-5に供給し、該1/2分周回路31-5の出力を該論理積回路32-2のもう一方の入力端子に供給し、該論理積回路32-2の出力を該論理積回路32-3の一方の入力端子と該論理和回路33-3の非反転入力端子に供給し、該1/2分周回路31-5の出力を該1/2分周回路31-6に供給し、該1/2分周回路31-6の出力を該論理積回路32-3のもう一方の入力端子に供給し、該論理積回路32-3の出力を該論理積回路32-4の一方の入力端子と該論理和回路33-4の非反転入力端子に供給し、該1/2分周回路31-6の出力を該1/2分周回路31-7に供給し、該1/2分周回路31-7の出力を該論理積回路32-4のもう一方の入力端子に供給し、該論理積回路32-4の出力を該論理和回路33-5の非反転入力端子に供給し、該論

理和回路 33-1 の反転入力端子には最高優先度の割込み信号 I R Q 1 を供給し、該論理和回路 33-2 の反転入力端子には 2 番目の優先度の割込み信号 I R Q 2 を供給し、該論理和回路 33-3 の反転入力端子には 3 番目の優先度の割込み信号 I R Q 3 を供給し、該論理和回路 33-4 の反転入力端子には 4 番目の優先度の割込み信号 I R Q 4 を供給し、該論理和回路 34 の入力端子に全ての割込み信号 I R Q 1 乃至 I R Q 4 を供給し、該論理和回路 33-1 乃至 33-5 の出力を該論理積回路 35 に供給し、該論理積回路 35 の出力を該中央処理装置 1

【0132】図 12 の構成は、図 2 の構成における 1/4 分周回路 31-2、1/8 分周回路 31-3 及び 1/16 分周回路 31-4 を独立に構成せず、図 12 における該 1/2 分周回路 31-1 と該 1/2 分周回路 31-5、該 1/2 分周回路 31-1 と該 1/2 分周回路 31-6、該 1/2 分周回路 31-1 と該 1/2 分周回路 31-7 の組合せによって構成している以外は図 2 の構成と同じである。

【0133】従って、図 12 の構成における分周機能と図 2 の構成における分周機能とは同じであるから、これ以上の説明は割愛したい。

【0134】そして、図 12 の構成によれば、分周機能を若干簡略化することができる。

【0135】尚、図 12 の構成の分周機能を図 4、図 6 及び図 9 の構成に適用できることはいうまでもない。

【0136】最後に、上記では一貫して発振器の周波数を変換する回路として 2 の巾乗分の 1 に分周する回路を適用する例を以て説明しているが、2 の巾乗分の 1 に限らず整数分の 1 に分周する回路を適用してもよいし、実

【0137】

【発明の効果】以上詳述した如く、本発明により、中央処理装置への割込み処理回路に係り、特に、平常時には中央処理装置に最低速度のクロックを供給しており、割込み要求があった時には、割込みの優先度が高いほど中央処理装置に高速のクロックを供給する割込み処理回路を実現することができる。

【0138】又、特定の割込み優先度に対応する部分だけが動作する割込み処理回路や、上位の優先度の割込み信号が供給されている間は下位の割込み信号を待ち合わせさせる割込み処理回路も実現することができる。

【0139】これにより、中央処理装置の消費電力の逓減が可能になり、情報処理装置、通信装置及び監視制御装置の消費電力の逓減に寄与することができる。

【図面の簡単な説明】

【図 1】 本発明の割込み処理方式の原理。

【図 2】 本発明の第一の実施の形態。

【図 3】 図 2 の構成のタイムチャート。

【図 4】 本発明の第二の実施の形態。

【図 5】 図 4 の構成のタイムチャート。

【図 6】 本発明の第三の実施の形態。

【図 7】 本発明の第四の実施の形態。

【図 8】 図 7 の構成のタイムチャート。

【図 9】 本発明の第五の実施の形態。

【図 10】 図 9 の構成のタイムチャート。

【図 11】 本発明の第一の実施の形態の変形（その 1）。

【図 12】 本発明の第一の実施の形態の変形（その 2）。

【図 13】 1/2 分周回路の構成とタイムチャート。

【図 14】 従来の割込み処理方式の原理。

【符号の説明】

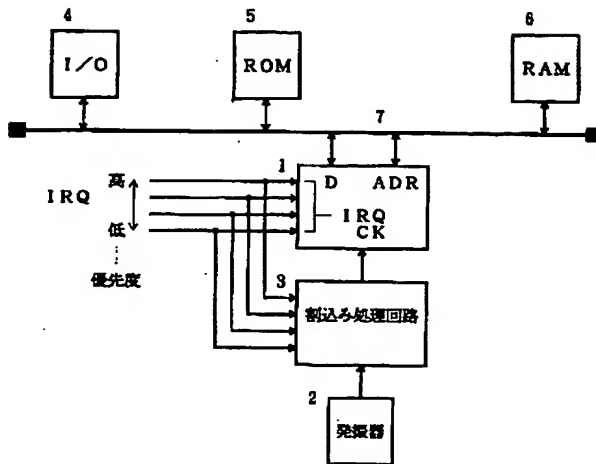
- 1 中央処理装置
- 1 a 中央処理装置
- 2 発振器
- 3 割込み処理回路
- 4 入出力装置
- 5 読み出し専用メモリ
- 6 ランダム・アクセス・メモリ
- 7 バス
- 8 アドレス・デコーダ
- 30-1 論理積回路
- 30-2 論理積回路
- 30-3 論理積回路
- 30-4 論理積回路
- 30-5 論理積回路
- 30-6 論理積回路
- 31-1 1/2 分周回路
- 31-2 1/4 分周回路
- 31-3 1/8 分周回路
- 31-4 1/16 分周回路
- 31-5 1/2 分周回路
- 31-6 1/2 分周回路
- 31-7 1/2 分周回路
- 32-1 論理積回路
- 32-2 論理積回路
- 32-3 論理積回路
- 32-4 論理積回路
- 33-1 論理和回路
- 33-2 論理和回路
- 33-3 論理和回路
- 33-4 論理和回路
- 33-5 論理和回路
- 34 論理和回路
- 35 論理積回路
- 36-1 微分回路
- 36-2 微分回路

36-3 微分回路
 36-4 微分回路
 37-1 カウンタ
 37-2 カウンタ
 37-3 カウンタ

37-4 カウンタ
 38 論理和回路
 39-1 J-Kフリップ・フロップ
 39-2 J-Kフリップ・フロップ
 39-3 J-Kフリップ・フロップ

【図1】

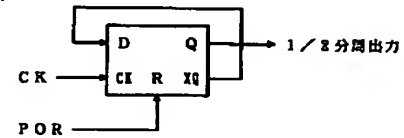
本発明の割り込み処理方式の原理



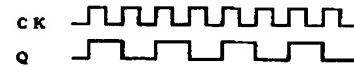
【図13】

1/2分周回路の構成とタイムチャート

(イ) 構成

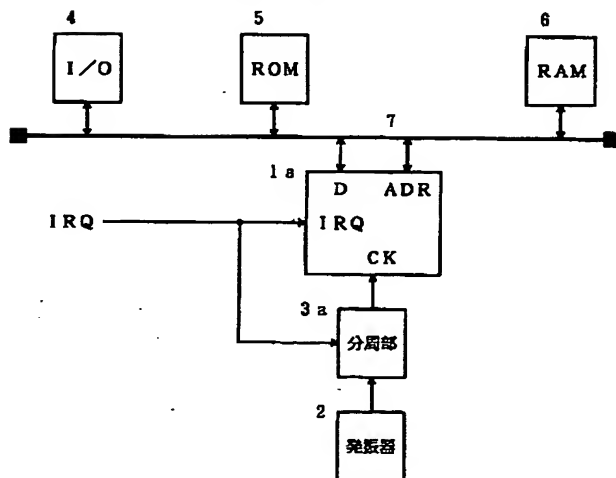


(ロ) タイムチャート



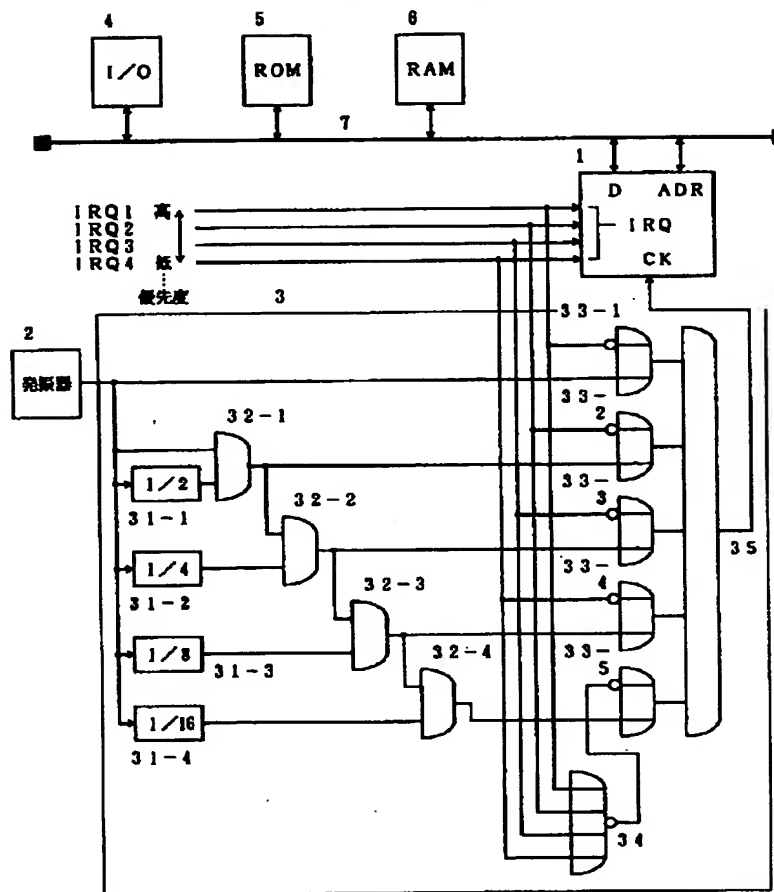
【図14】

従来の割り込み処理方式の原理



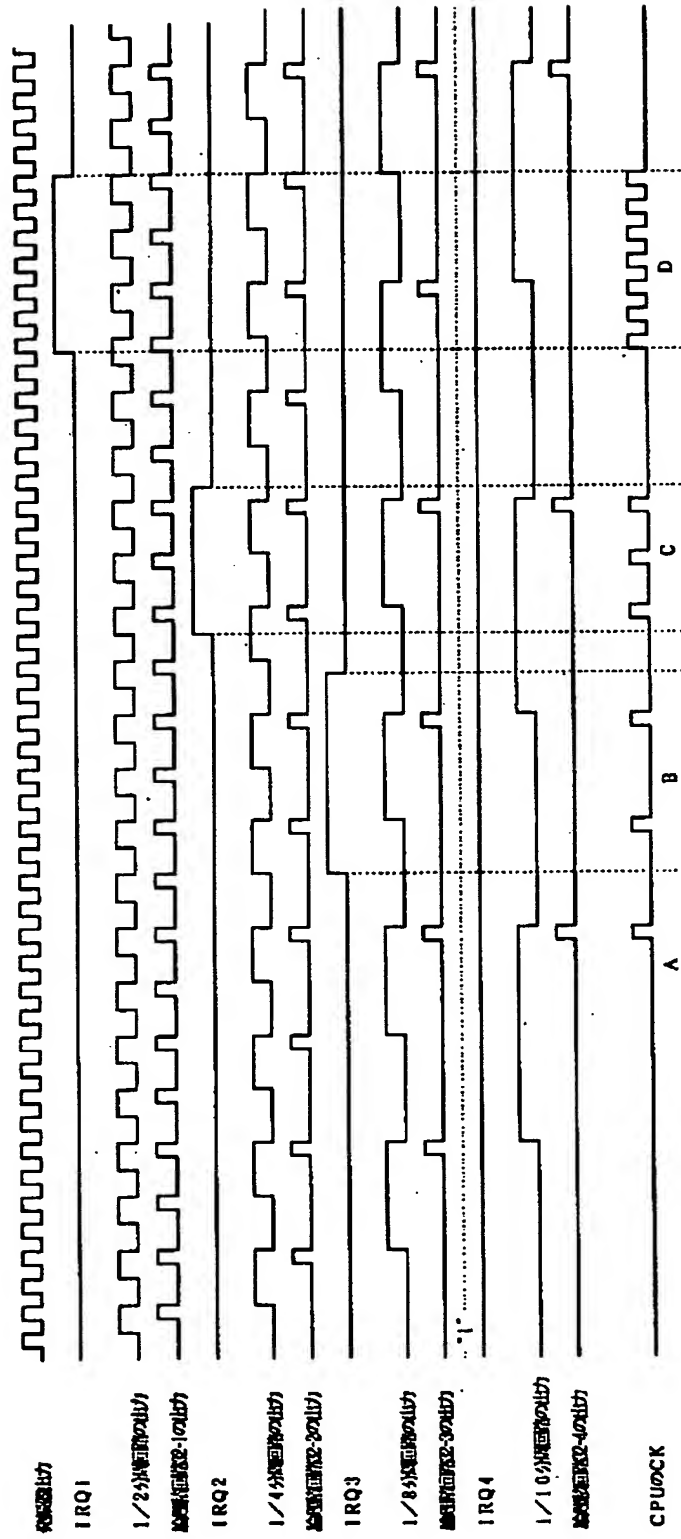
【図 2】

本発明の第一の実施の形態

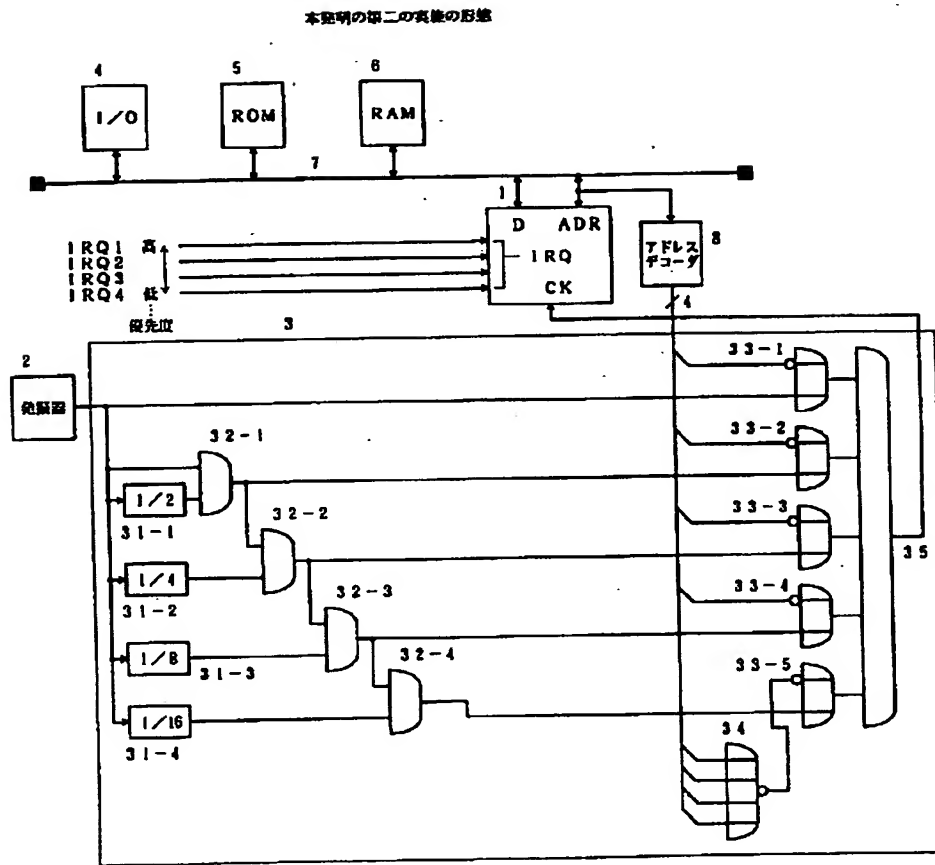


【図 3】

図 2 の機能のタイムチャート

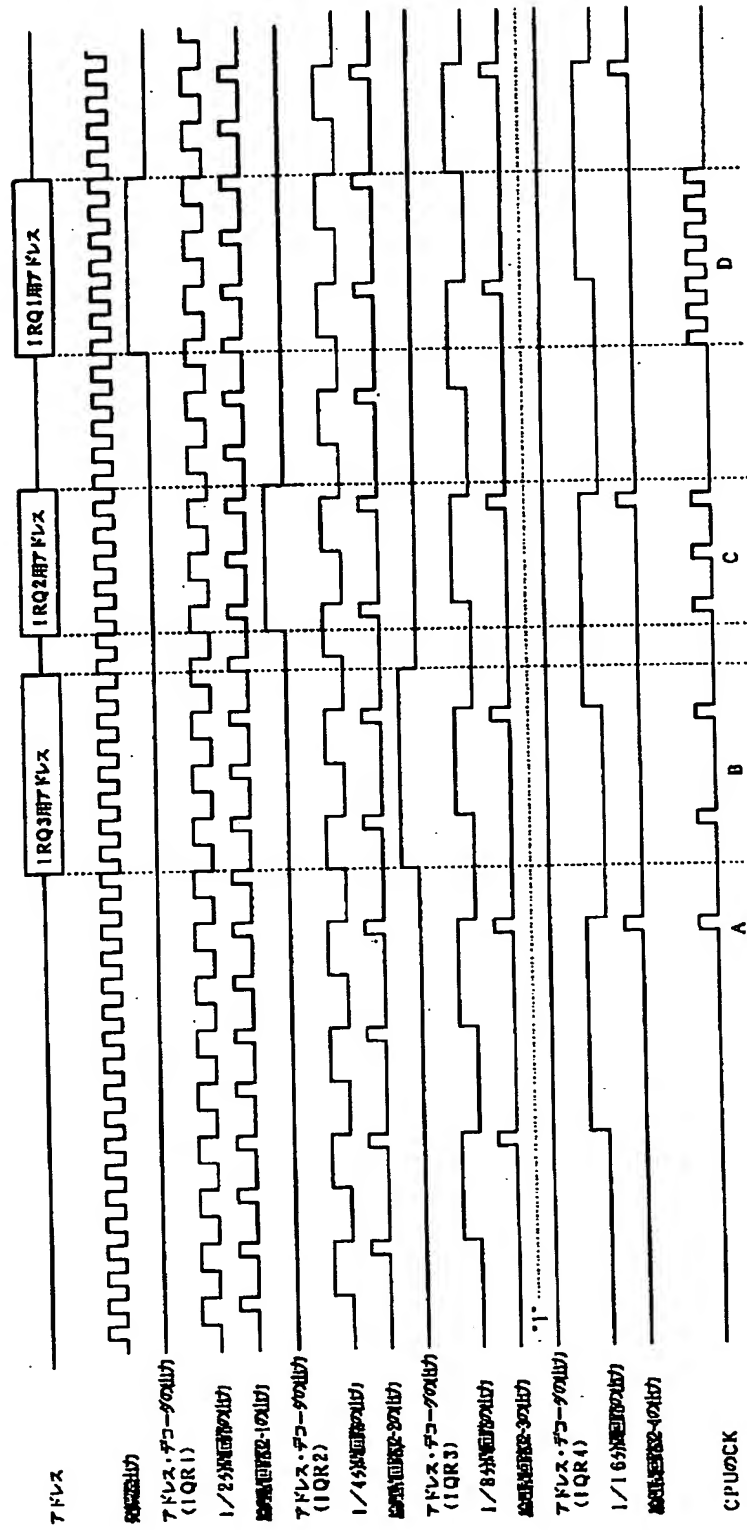


【図 4】

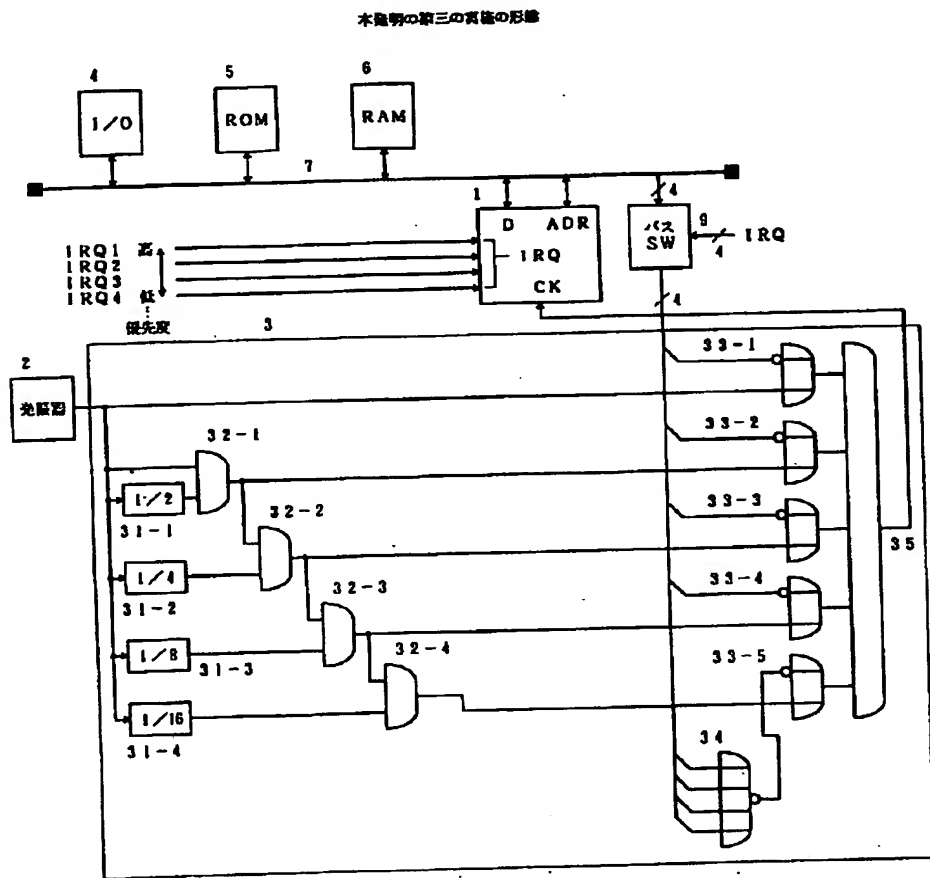


【図 5】

図 4 の構成のタイムチャート

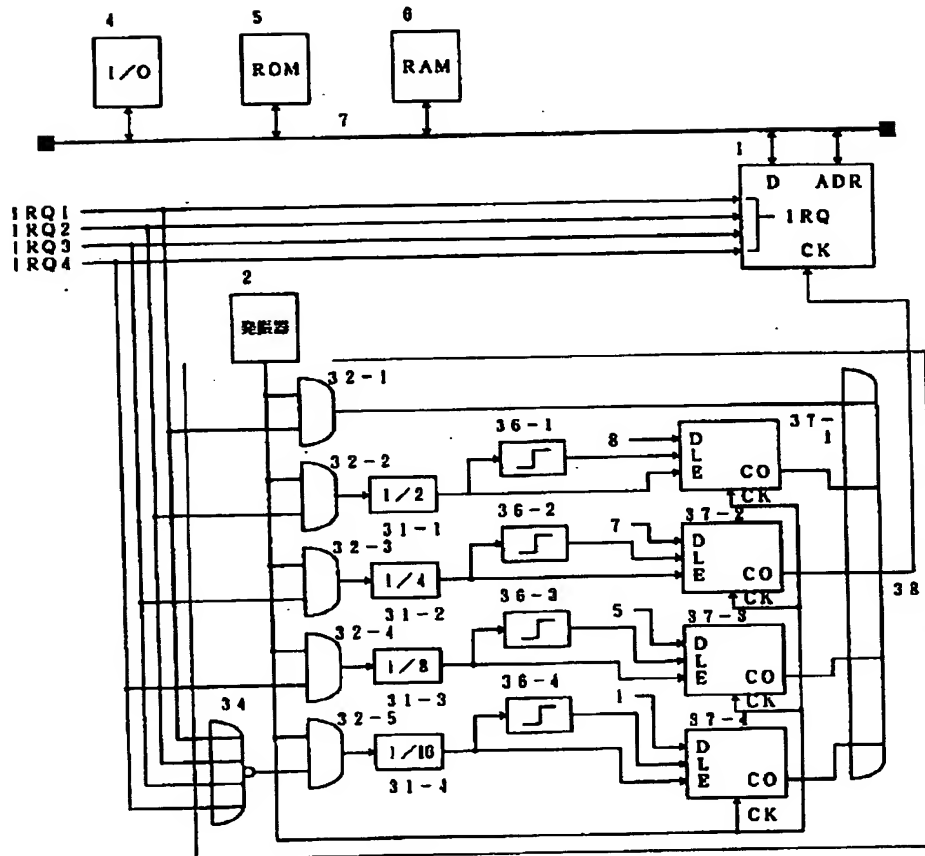


【図 6】



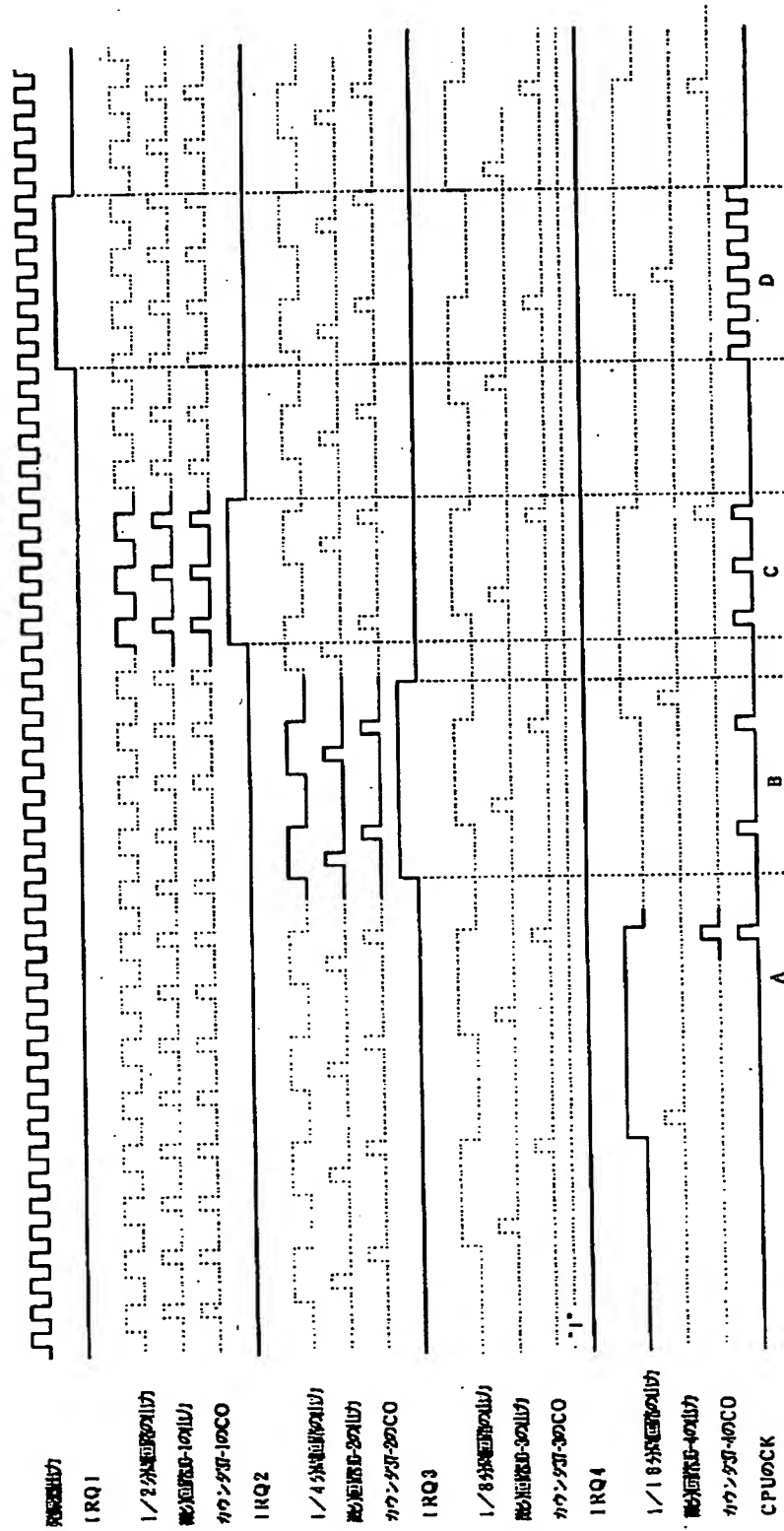
【図 7】

本発明の第四の実施の形態



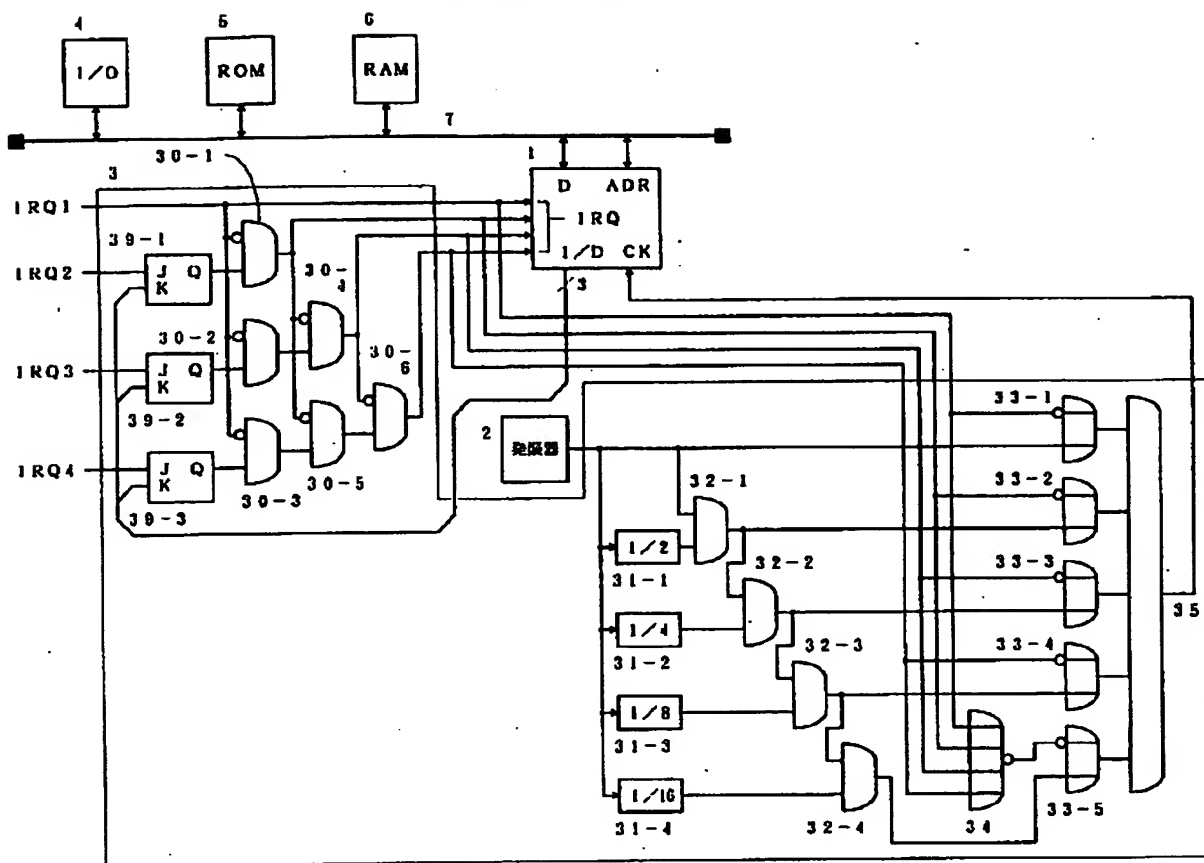
【図8】

図7の機能のタイムチャート



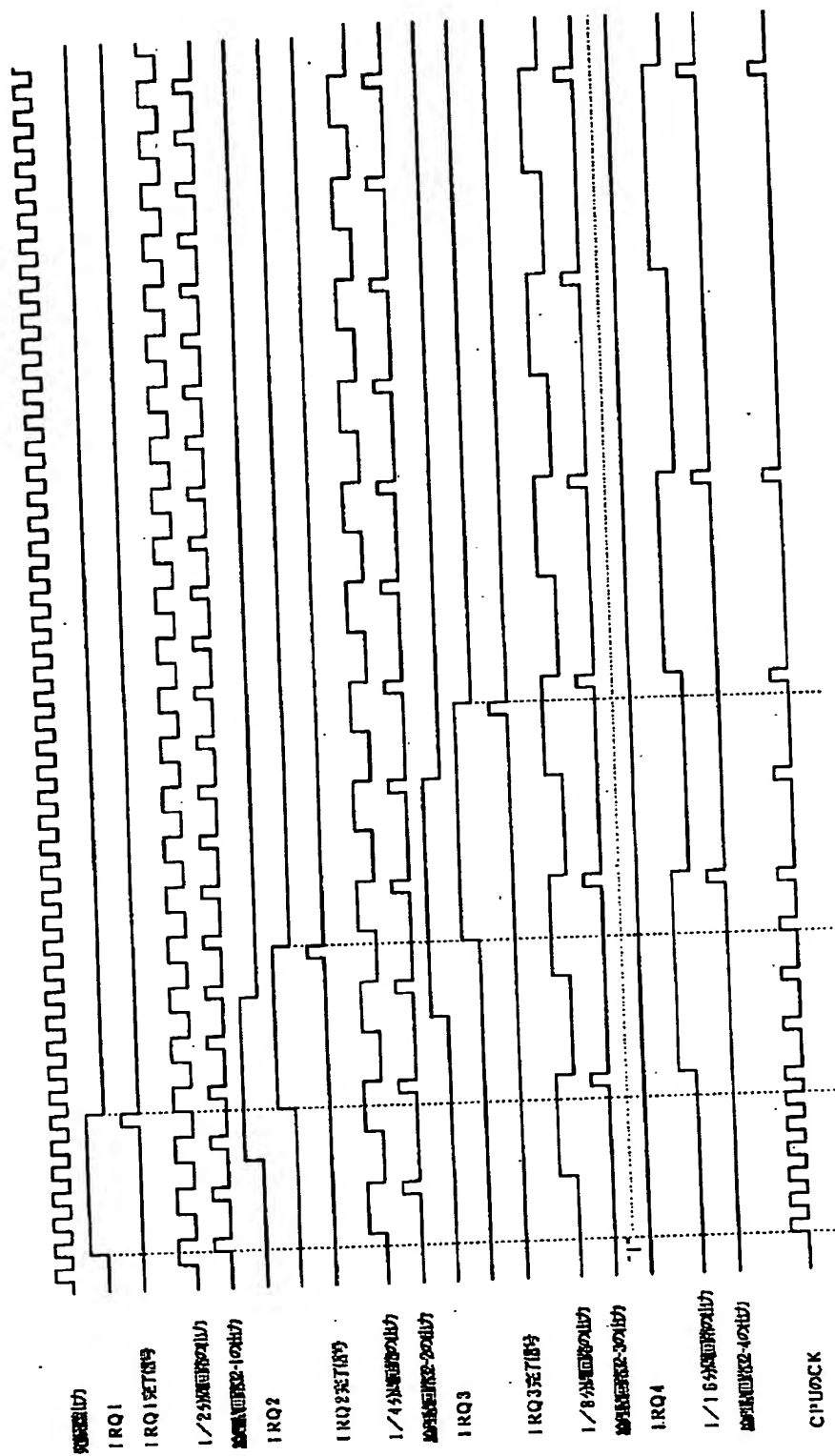
【図 9】

本発明の第五の実施の形態



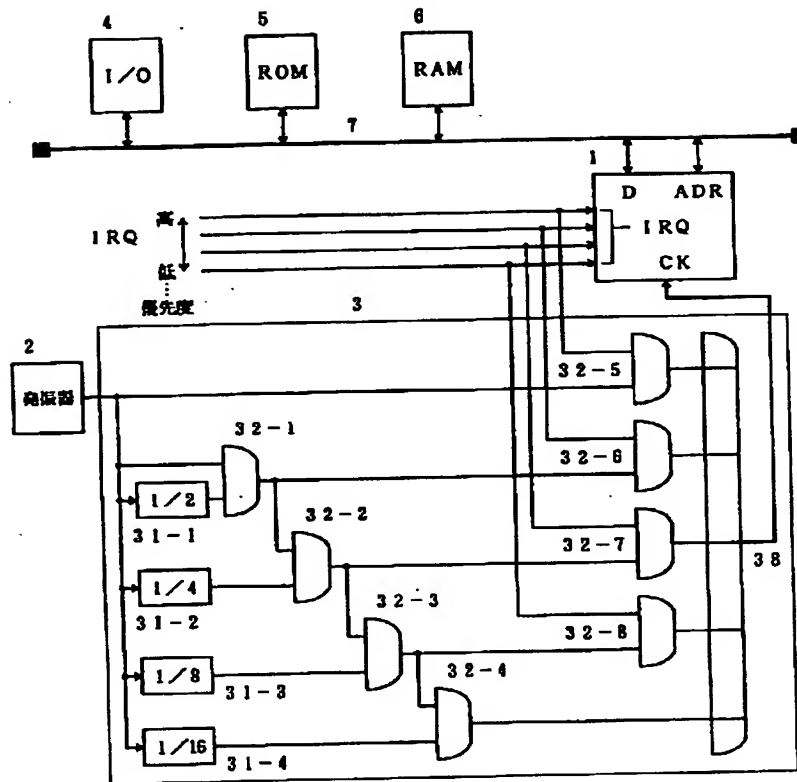
【図10】

図9の続きのタイムチャート



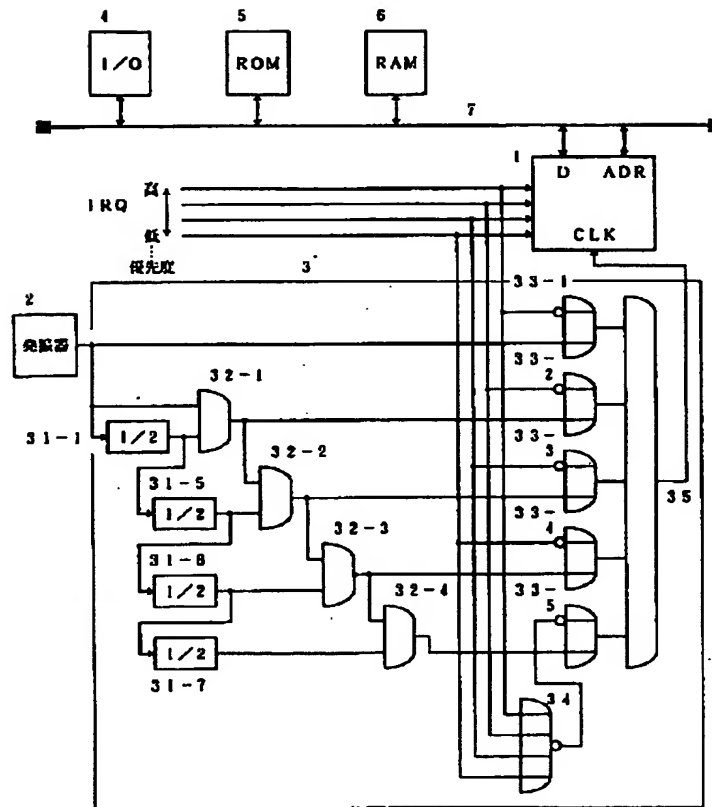
【図 11】

本発明の第一の実施の形態の変形（その1）



【図 12】

本発明の第一の実施形態の要部（その 2）



フロントページの続き

(72)発明者 志和地 真一
 福岡県福岡市博多区博多駅前三丁目22番8
 号 富士通九州デジタル・テクノロジー株
 式会社内

Fターム(参考) 5B079 BA03 BB04 BC01 DD02 DD03
 DD17
 5B098 BB11 FF03 GA01